

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-324118

(43)Date of publication of application : 25.11.1994

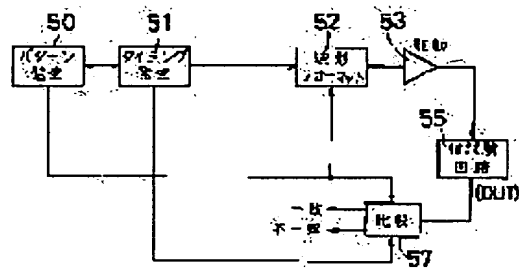
(51)Int.Cl. G01R 31/28
G01R 31/26(21)Application number : 05-109031 (71)Applicant : SHARP CORP
(22)Date of filing : 11.05.1993 (72)Inventor : SHIBATA HIROYUKI

(54) TESTING DEVICE FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To detect the delay time of an integrated circuit and determine the AC characteristic by comparing the output signal of the integrated circuit measured by a comparing means with an expected value plural times synchronously with its strobe signal every test cycle.

CONSTITUTION: According to the test start signal from a pattern generator 50, a timing signal is outputted from a timing generator 51 to the circuit 50, a waveform format circuit 52, and a comparing circuit 57. The test pattern from the generator 60 is shaped by the timing signal, and outputted to a driving circuit 53. It is regulated in level by the circuit 53, and outputted to a circuit 55 to be tested. The comparator 57 compares the output signal of the circuit 55 with an expected value contained in the signal from the generator 50, and outputs an accord or discord signal. To measure delay time, strobe signals are successively generated at a predetermined timing from the generator 51, and the expected value is compared with the output value of the circuit 55 to be tested synchronously with the timing. The delay time is measured from the comparison result.



LEGAL STATUS

[Date of request for examination] 07.02.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2952131

[Date of registration] 09.07.1999

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-324118

(43) 公開日 平成6年(1994)11月25日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
31/26	G	9214-2G		
		6912-2G	G 0 1 R 31/ 28	R

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号 特願平5-109031

(22) 出願日 平成5年(1993)5月11日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 柴田 弘之

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

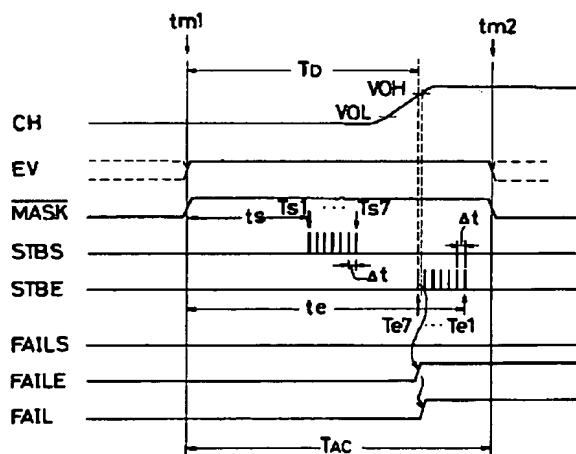
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 半導体集積回路の試験装置

(57) 【要約】

【目的】 被試験回路のAC特性試験を短時間で行うことができる半導体集積回路の試験装置を提供する。

【構成】 被試験回路の出力信号の値が「0」から「1」（しきい値VOHの値）になる立上り遅延時間を求める場合、ストローブ信号STBの出力タイミングは、時刻tm1からの最小遅延時間tsから各レートTAC毎に単位時間Δtずつ遅らせ、また最大遅延時間teから各レートTAC毎に単位時間Δtずつ早くさせる。したがって、各レートTAC毎にストローブ信号STBを2回出力させ、そのタイミングにおいて出力信号CHの値と期待値信号EVの値とが一致するか否かを判定し、その判定結果を表す不一致信号FAILを出力する。



1

【特許請求の範囲】

【請求項1】 半導体集積回路の入力端子に入力信号を与え、前記半導体集積回路の出力端子からの出力信号を検出し、前記入力信号に対する出力信号の遅延時間を測定してAC特性を求めるAC特性試験を行う半導体集積回路の試験装置において、

前記半導体集積回路の入力端子に、予め定める入力信号を予め定める試験サイクル毎に与える波形発生手段と、前記半導体集積回路の出力端子からの出力信号と予め定める期待値とを前記試験サイクル毎に、予め定めるタイミングで比較する比較手段と、

最初の試験サイクルでは試験サイクル毎の前記AC特性の測定開始時から予め定める最小遅延時間経過後の時刻に、それ以後の試験サイクルでは予め定める単位時間ずつ遅い時刻に、前記予め定めるタイミングを規定する第1ストロブ信号を前記比較手段に与える第1ストロブ発生手段と、

最初の試験サイクルでは試験サイクル毎の前記AC特性の測定開始時から予め定める最大遅延時間経過後の時刻に、それ以後の試験サイクルでは予め定める単位時間ずつ早い時刻に、前記予め定めるタイミングを規定する第2ストロブ信号を前記比較手段に与える第2ストロブ発生手段と、

前記試験サイクル毎に、前記入力信号、前記期待値、前記最大遅延時間、前記最小遅延時間および前記単位時間を規定するパターン信号を、波形発生手段、比較手段、第1ストロブ発生手段、第2ストロブ発生手段に与えるパターン信号発生手段とを含むことを特徴とする半導体集積回路の試験装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路のAC特性試験を含む試験を行う半導体集積回路の試験装置に関する。

【0002】

【従来の技術】半導体集積回路の開発段階あるいは量産時などに、半導体集積回路のAC（交流）特性試験などを含む各種の試験が行われる。このAC特性試験は、半導体集積回路の入力端子と出力端子との間での信号伝搬遅延時間（以下「遅延時間」という）、出力波形の立上り時間および立下り時間などの測定を行う。

【0003】図1は、本発明の前提となる半導体集積回路の試験装置の電気的構成を示すブロック図である。この半導体集積回路の試験装置は、半導体集積回路のAC特性試験を含む試験を行う。パターン発生器50からの試験開始信号によって、タイミング発生器51からタイミング信号がパターン発生回路50、波形フォーマット回路52および比較回路57へ出力される。波形フォーマット回路52は、パターン発生器50からの試験パターン信号をタイミング信号により波形整形し、試験信号

2

として駆動回路53に出力する。駆動回路53に入力された試験信号は、レベルが調整され、試験される半導体集積回路（以下「被試験回路」と称する）55へ出力される。次に比較器57は、被試験回路55からの出力信号と対応するパターン発生器50からのパターン信号に含まれる期待値とを比較し、それらの値が一致すれば一致信号を出力し、一致しなければ不一致信号を出力する。

【0004】この半導体集積回路の試験装置において、AC特性のうち被試験回路55の遅延時間を測定する場合、たとえばタイミング発生器51から試験信号が被試験回路55へ入力される時刻から一定の時間間隔でタイミング信号を発生させ、そのタイミングに同期して、比較器57における期待値データと出力データとが一致する時刻を測定する。したがって、その時刻から被試験回路55の出力信号の遅延時間を測定することができる。

【0005】図2は、図1で示される比較回路57のより詳細な電気的構成を示すブロック図である。比較回路57は、被試験回路55からの複数のn個の出力CH1～CHnを同時に比較判定を行うため、記憶回路61、比較判定回路62、コンパレータ63に入出力する各信号はn個ずつある。以下の説明では、比較回路57のn個の各入出力信号を総称するときは添字1～nを省略して示す。たとえば期待値信号EV1～EVnは、総称するときは期待値信号EVとする。

【0006】パターン発生回路50は、記憶回路61にアドレス信号ADRを出力して、記憶回路61に格納されている被試験回路55の期待値信号EVの値、およびマスク信号MASKの値を指定する。マスク信号MASKは、被試験回路55の出力値と期待値信号EVの値とを比較判定する可否かを制御するための信号である。タイミング発生回路51は、パターン発生回路50からの試験開始信号STARTによって、ストロブ信号STBを一定時間毎に発生させ、比較判定回路62へ出力する。

【0007】被試験回路55からの出力信号CHの値は、コンパレータ63によって、ハイレベルであるかローレベルであるかの判定が行われる。コンパレータ63aでは、ハイレベルのしきい値VOHと出力信号CHの値との比較が行われ、出力信号CHの値がしきい値VOH以上であれば、ハイレベルと判定され、出力信号CMPHが出力される。また、コンパレータ63bでは、ローレベルのしきい値VOLと出力信号CHの値との比較が行われ、出力信号の値がしきい値VOL以下であれば、ローレベルと判定され出力信号CMP Lが出力される。

【0008】比較判定回路62は、ストロブ信号STBに同期して記憶回路61からの期待値信号EVの値とコンパレータ63からの出力信号CMP（信号CMPHおよび信号CMP Lの総称）の値との比較を行い、それ

らの値が一致しなければ、不一致信号F A I Lの値を「1」としてパターン発生回路50へ出力する。したがって、不一致信号F A I Lの値が「1」から「0」（または「0」から「1」）に変化する時のストロブ信号S T Bの出力時刻を測定することによって、被試験回路の出力信号における入力信号に対する遅延時間が算出され、A C特性を測定することができる。

【0009】図6は、図2で示される従来の比較判定回路62の電気回路図である。期待値信号E Vは、選択回路1の入力端子Sに入力され、期待値信号E Vと比較する出力信号C M Pが選択される。期待値信号E Vの値が「1」のとき、コンパレータからの出力信号C M P Hが選択され、選択回路1の出力端子Yから出力され、期待値信号E Vの値が「0」のとき、コンパレータからの出力信号C M P Lが選択され、選択回路1の出力端子Yから出力される。

【0010】E X. O Rゲート2は、期待値信号E Vの値とその期待値信号の値と比較を行う出力信号C M Pとの不一致を検出する。すなわち、期待値信号E Vの値が「1」かつ出力信号C M P Hの値が「0」のとき、および期待値信号E Vの値が「0」かつ出力信号C M P Lの値が「1」のとき、E X. O Rゲート2の出力端子の値は「1」となる。A N Dゲート3には、E X. O Rゲート2からの出力とマスク信号反転M A S Kとが与えられ、マスク信号反転M A S Kの値が「1」のときのみ、E X. O Rゲート2の出力は、A N Dゲート3を介して、Dフリップフロップ4の入力端子Dに与えられる。Dフリップフロップ4は、入力端子Dに入力されたA N Dゲート3からの出力を、入力端子C Pに入力されたストロブ信号S T Bに同期してラッチする。すなわち、期待値信号E Vの値と被試験回路の出力信号C M Pの値との比較判定した結果を、ストロブ信号S T Bに同期してラッチする。ストロブ信号S T Bが入力端子C Pに入力されたとき、期待値信号E Vの値と被試験回路の出力値とが不一致の場合、出力端子Qから出力される不一致信号F A I Lの値が「1」になり、一致した場合は不一致信号F A I Lの値は「0」になる。その不一致信号F A I Lの値は、リセット信号R E S E Tが入力されるまで保持される。また、Dフリップフロップ4の入力端子Rにリセット信号R E S E Tが入力されると、不一致信号F A I Lの値は「0」にリセットされる。

【0011】図7は、前述の半導体集積回路の試験装置を用いて、被試験回路55のA C特性を測定した結果を表すグラフである。このグラフは、シュムープロットと呼ばれ、縦軸に電源電圧、横軸に被試験回路55の出力の遅延時間を割付けている。たとえば、電源電圧6.0 VにおけるA C特性のシュムープロットを作成する場合、まず、被試験回路55の電源電圧を6.0 Vに設定し、A C特性を測定するストロブ信号S T B（前述の期待値と被試験回路55の出力信号値とを比較する同期

信号）の発生タイミングを20 nsから2 ns時間毎に100 nsまで変化させる。ストロブ信号S T Bの発生タイミングに同期して、期待値と出力信号値とを比較した結果、それらの値が一致するか否かを表す前述の不一致信号F A I Lに対応して、不一致の場合は“.”を印字し、一致する場合は“*”を印字する。同様にし、5.8 Vから4.0 Vまで0.2 Vずつ電源電圧を変更しながら試験を繰返し、図7で示されるシュムープロットを作成することができる。これによって、被試験回路55の各電源電圧に対応する遅延時間の特性、すなわちA C特性を測定することができる。

【0012】

【発明が解決しようとする課題】前述のように、従来の半導体集積回路の試験装置では、被試験回路のA C特性を測定し、シュムープロットなどを作成して評価を行っている。たとえば、図7に示されるようなシュムープロットを作成する場合、各電源電圧毎に41回ずつ、ストロブ信号S T Bに同期して期待値と出力値とを比較する試験（以下「試験サイクル」と略称する）を繰返している。また、測定する電源電圧（4.0 V～6.0 V）のパラメータの数が全部で11あり、したがってシュムープロットを作成するために41×11=451回前述の試験サイクルを繰返す必要がある。

【0013】従来このようなシュムープロットを作成する場合には、一般に試験用のストロブ信号を出力するための専用のプログラムを開発したり、半導体集積回路の試験装置のユーティリティプログラムを利用して行う。また、ソフトウェアの負担を軽減する目的で、ハードウェアのみで自動的にストロブ信号の出力タイミングを可変する試験装置もある。しかし、試験用のストロブ信号をハードウェア/ソフトウェア、いずれで出力するようにしても、前述の試験サイクルの回数は同じである。

【0014】さらに、実際のA C特性の評価は、被試験回路の複数のピン数かつ複数の項目について行われるので、A C特性の評価に多大な時間を要する。

【0015】本発明の目的は、被試験回路のA C特性試験を短時間で行うことができる半導体集積回路の試験装置を提供することである。

【0016】

【課題を解決するための手段】本発明は、半導体集積回路の入力端子に入力信号を与え、前記半導体集積回路の出力端子からの出力信号を検出し、前記入力信号に対する出力信号の遅延時間を測定してA C特性を求めるA C特性試験を行う半導体集積回路の試験装置において、前記半導体集積回路の入力端子に、予め定める入力信号を予め定める試験サイクル毎に与える波形発生手段と、前記半導体集積回路の出力端子からの出力信号と予め定める期待値とを前記試験サイクル毎に、予め定めるタイミングで比較する比較手段と、最初の試験サイクルでは試

験サイクル毎の前記AC特性の測定開始時から予め定める最小遅延時間経過後の時刻に、それ以後の試験サイクルでは予め定める単位時間ずつ遅い時刻に、前記予め定めるタイミングを規定する第1ストロブ信号を前記比較手段に与える第1ストロブ発生手段と、最初の試験サイクルでは試験サイクル毎の前記AC特性の測定開始時から予め定める最大遅延時間経過後の時刻に、それ以後の試験サイクルでは予め定める単位時間ずつ早い時刻に、前記予め定めるタイミングを規定する第2ストロブ信号を前記比較手段に与える第2ストロブ発生手段と、前記試験サイクル毎に、前記入力信号、前記期待値、前記最大遅延時間、前記最小遅延時間および前記単位時間を規定するパターン信号を、波形発生手段、比較手段、第1ストロブ発生手段、第2ストロブ発生手段に与えるパターン信号発生手段とを含むことを特徴とする半導体集積回路の試験装置である。

【0017】

【作用】本発明に従えば、パターン信号発生手段は、試験パターンを表すパターン信号を発生し、そのパターン信号によって、試験サイクル毎に入力信号を波形発生手段に与え、期待値を比較手段に与え、最小遅延時間および単位時間を第1ストロブ発生手段に与え、最大遅延時間および前記単位時間を第2ストロブ発生手段に与える。

【0018】第1ストロブ発生手段は、最初の試験サイクルでは前記入力信号の入力時刻から予め定める最小遅延時間経過後の時刻に、それ以降の試験サイクルでは予め定める単位時間ずつ遅い時刻に第1ストロブ信号を発生して比較手段に与える。第2ストロブ発生手段は、最初の試験サイクルでは前記入力信号の入力時刻から予め定める最大遅延時間経過後の時刻に、それ以降の試験サイクルでは予め定める単位時間ずつ早い時刻に第2ストロブ信号を発生して、比較手段に与える。

【0019】比較手段は、半導体集積回路からの出力信号と前記期待値とを試験サイクル毎に第1ストロブ信号および第2ストロブ信号に同期して比較する。

【0020】したがって、一試験周期毎に前述のように2つのストロブ信号によって期待値と半導体集積回路の出力信号とを順次比較することができるので、一試験サイクルに1回比較する場合に比べて遅延時間を短時間で測定することができ、AC特性を求めることができる。

【0021】

【実施例】図1は、本発明の一実施例の半導体集積回路試験装置の概略的な電気的構成を示すブロック図である。この半導体集積回路試験装置は、半導体集積回路のAC特性試験を含む試験を行う。パターン発生器50からの試験開始信号によって、タイミング発生器51からタイミング信号がパターン発生回路50、波形フォーマット回路52および比較回路57へ出力される。波形フ

ォーマット52は、パターン発生器50からの試験パターン信号をタイミング信号により波形整形し、試験信号として駆動回路53に出力する。駆動回路53に入力された試験信号は、そのレベルが調整され、試験される半導体集積回路（以下「被試験回路」と称する）へ出力される。次に比較器57は、被試験回路55からの出力信号とパターン発生器50からのパターン信号に含まれる期待値とを比較し、それらの値が一致すれば一致信号を出力し、一致しなければ不一致信号を出力する。

【0022】この半導体集積回路の試験装置において、AC特性のうち被試験回路55の遅延時間（入力端子と出力端子との間での信号伝搬遅延時間）を測定する場合、タイミング発生器51から後述する予め定めるタイミングでストロブ信号を順次発生させ、そのタイミングに同期して、比較器57において期待値と被試験回路55の出力値とを比較する。したがって、その比較結果から被試験回路55の出力信号の遅延時間を測定することができる。

【0023】図2は、図1で示される比較回路57のより詳細な電気的構成を示すブロック図である。比較回路57は、被試験回路55からの複数のn個の出力CH1～CHnを同時に比較判定を行うため、記憶回路61、比較判定回路62、コンパレータ63に入出力する各信号はn個ずつある。以下の説明では、比較回路57のn個の各入出力信号を総称するときは添字1～nを省略して示す。たとえば期待値信号EV1～EVnは、総称するときは期待値信号EVとする。

【0024】パターン発生回路50は、記憶回路61にアドレス信号ADRを出力して、記憶回路61に格納されている被測定回路の期待値信号EVの値、およびマスク信号MASKの値を指定する。マスク信号MASKは、被試験回路55の出力値と期待値信号EVの値とを比較判定するか否かを制御するための信号である。タイミング発生回路51は、パターン発生回路50からの試験開始信号STARTによって、ストロブ信号STBを一定時間毎に発生させ、比較判定回路62へ出力する。

【0025】被試験回路55からの出力信号CHの値は、コンパレータ63によって、ハイレベルであるかローレベルであるかの判定が行われる。コンパレータ63aでは、ハイレベルのときしきい値VOHと出力信号CHの値との比較が行われ、出力信号の値がしきい値VOH以上であれば、ハイレベルと判定され、出力信号CMPHが出力される。また、コンパレータ63bでは、ローレベルのしきい値VOLと出力信号CHの値との比較が行われ、出力信号の値がしきい値VOL以下であればローレベルと判定され、出力信号CMLが出力される。

【0026】比較判定回路62は、ストロブ信号STBに同期して記憶回路61からの期待値信号EVの値と

コンパレータ63からの出力信号CMP（信号CMPHおよび信号CMLの総称）の値との比較を行う。

【0027】図3は、図2で示される本発明の比較判定回路62の電気回路図である。期待値信号EVは、選択回路70の入力端子Sに入力され、期待値信号EVの値が「1」のとき、コンパレータからの出力信号CMPHが選択され、選択回路70の出力端子Yから出力され、期待値信号EVの値が「0」のとき、コンパレータからの出力信号CMLが選択され、選択回路70の出力端子Yから出力される。

【0028】EX、ORゲート71は、期待値信号EVの値と期待値と比較する出力信号CMPとの不一致を検出する。すなわち、期待値信号EVの値が「1」かつ出力信号CMPHの値が「0」のとき、および期待値信号EVの値が「0」かつ出力信号CMLの値が「1」のとき、EX、ORゲート71の出力信号の値は「1」となる。ANDゲート72には、EX、ORゲート71からの出力とマスク信号反転MASKが与えられ、マスク信号反転MASKの値が「1」のときにのみ、EX、ORゲート71の出力は、ANDゲート72を介して、Dフリップフロップ73、74の各入力端子Dに与えられる。

【0029】Dフリップフロップ73は、入力端子Dに入力されたANDゲート72からの出力信号を、入力端子CPに入力されたストロブ信号STBEに同期してラッチする。このストロブ信号STBEは、被試験回路55のAC特性試験時に予め定められた前述の試験サイクルにおけるAC特性の測定開始時刻からの最大遅延時間 t_e 遅れたタイミングから順次、試験サイクル毎に、一定時間 Δt ずつ早く出力される。この最大遅延時間 t_e 遅れたタイミング以前においては、常に被試験回路55の期待値と出力値とは一致し、この時間 t_e は被試験回路の仕様などから予め分かっている。

【0030】すなわち、期待値信号EVの値と被試験回路55の出力信号CMPの値との比較判定した結果を、ストロブ信号STBEに同期してラッチする。ストロブ信号STBEが端子CPに入力されたとき、期待値信号EVの値と被試験回路55の出力値とが不一致の場合、出力端子Qから不良信号FAILEが出力される。またDフリップフロップ73の入力端子Rにリセット信号RESETが入力されると、不良信号FAILEの値は「0」に初期化される。

【0031】またDフリップフロップ74は、入力端子Dに入力されたANDゲート72からの出力信号を、入力端子CPに入力されたストロブ信号STBSに同期してラッチする。

【0032】このストロブ信号STBSは、被試験回路55のAC特性試験時に予め定められた前述の試験サイクルにおけるAC特性を測定する開始時刻からの最小遅延時間 t_s 遅れたタイミングから順次試験サイクル毎

に一定時間 Δt ずつ遅く出力される。この最小遅延時間 t_s 遅れたタイミング以前においては常に被試験回路55の期待値と出力値とが不一致となり、この時間 t_s は、被試験回路55の仕様などから予め分かっている。

【0033】したがって、試験サイクル毎に2つのストロブ信号すなわちストロブ信号STBSと前述のストロブ信号STBEとが出力される。次に期待値信号EVの値と被試験回路55の出力信号CMPの値との比較判定した結果を、ストロブ信号STBSに同期してラッチする。ストロブ信号STBSが端子CPに入力されたとき、期待値信号EVの値と被試験回路55の出力値とが不一致の場合、出力端子反転Qから不良信号FAILが出力されない。また、Dフリップフロップ74の入力端子Sにセット信号SETが入力されると、不良信号FAILの値は「0」に初期化される。

【0034】ORゲート75は、不一致信号FAILEまたは不一致信号FAILSの値が「1」になると、不一致信号FAILを「1」の値で出力する。

【0035】図4は、図2で示されるタイミング発生回路51のより詳細な電気ブロック図を示す。破線で囲んだ部分80は、本発明の実施例において追加したものである。レートタイミング発生回路81は、パターン発生回路50から試験開始信号STARTが与えられると、前述のAC特性試験の試験サイクルにおけるAC特性を測定する基準タイミング信号となるレートタイミング信号MCLを発生させ、ストロブS出力回路86およびストロブE出力回路89へ出力する。また同時に、クロック信号CLKをストロブS出力回路86およびストロブE出力回路89へ出力する。ストロブS記憶回路82およびストロブE出力回路83は、ストロブ信号STBの出力タイミングの値を予め複数格納し、パターン発生回路50から出力されるアドレス信号RTTCによって選択される。

【0036】パターン発生回路50は、試験サイクルにおける前述のストロブ信号STBSの最小遅延時間 t_s およびストロブ信号STBEの最大遅延時間 t_e を決定すると、それらの時間の値に対応するアドレス信号RTTCをストロブS記憶回路82およびストロブE記憶回路83へ出力する。次に、ストロブS記憶回路82は、選択された最小遅延時間 t_s 対応する値を加算器85を介してストロブS出力回路86へ出力し、ストロブE記憶回路83は、選択されたその値を減算器88を介して、ストロブE出力回路89へ出力する。

【0037】次にストロブS出力回路86は、入力された最小遅延時間 t_s に対応する値を表す値を、レートタイミング信号MCLが入力されたタイミングを基準として、クロック信号CLKに同期してダウンカウントする。そのカウント値が0になったとき、ストロブS出力回路86からストロブ可変遅延回路91を介して、

10

20

30

40

50

ストロブ信号STBSが出力される。したがって、ストロブ信号STBSは、レートタイミング信号MCLを基準として最小遅延時間 t_s 遅れたタイミングで出力される。同様にして、ストロブ信号STBEは、レートタイミング信号MCLを基準として最大遅延時間 t_e 遅れたタイミングで出力される。

【0038】ストロブ信号STBS、ストロブ信号STBEは、クロックCLKに同期して出力されるけれども、その出力タイミングをクロックCLKの周期の間で変化させたい場合は、ストロブ可変遅延回路91、92によって調整を行う。

【0039】Aレジスタ100は、Bレジスタ101の値を加算器102を介して累積して加算する。したがって、Aレジスタ100はBレジスタ101との加算のたびに、Aレジスタ100の値はBレジスタ101の値ずつ増加する。加算器102は、Aレジスタ100とBレジスタとの加算値を、加算器85および減算器88へ出力する。Aレジスタ100の値は、初期状態においては0に設定されている。

【0040】加算器85は、ストロブS記憶回路82の出力値と加算器102の出力値とを加算してストロブS出力回路86に出力する。減算器88は、ストロブE記憶回路83の出力値から加算器102の出力値を引いて、ストロブE出力回路89に出力する。

【0041】したがって、Aレジスタ100とBレジスタ101との加算をレートタイミングMCLに同期して行うことによって、レートタイミングMCLに同期してストロブS回路82から出力される値はBレジスタ101の値ずつ加算される。これによって、ストロブS出力回路から出力されるストロブ信号STBSは、試験サイクル毎に前述の最小遅延時間 t_s 遅れたタイミングからBレジスタ101の値に対応する時間 Δt ずつ遅く出力される。また同様にして、ストロブE出力回路から出力されるストロブ信号STBEは、試験サイクル毎に前述の最大遅延時間 t_e 遅れたタイミングから時間 Δt ずつ早く出力される。

【0042】コントローラ105は、加算器85、減算器88、加算器102、Aレジスタ100、Bレジスタ101などを制御する。すなわち、コントローラ105は、パターン発生回路50からのアドレス信号ADRによって試験サイクル、ストロブ信号STBSおよびストロブ信号STBEの出力タイミングなどのAC特性試験の試験条件を判断し、その判断に基づいて、前述の加算器、レジスタなどを制御する。

【0043】図5は、図1～図4で示される本発明の半導体集積回路の試験装置を用いて、被試験回路の遅延時間を求めるAC特性試験を行った場合のタイミングチャートである。この試験では、出力信号CHの値が、「0」から「1」のしきい値VOHになるまでの立上がりの遅延時間を求める。被測定回路のこの遅延時間を求

める試験サイクルにおいて、実際に測定を行う時間をTAC（以下「レートTAC」という）とする。各試験サイクルでは、まずパターン信号に基づいて試験装置の内部の状態設定を行い、次にレートTACにおいて実際にAC特性の測定を行う。したがって、このレートTACにおける期待値信号EVの値を「1」かつマスク信号MASKの値を「1」に設定する。

【0044】前述のストロブ信号STBSの最小遅延時間 t_s 、ストロブ信号STBEの最大遅延時間 t_e は、図5で示されるようにレートTACの開始時刻 t_{m1} を基準として設定される。この開始時刻 t_{m1} は、被測定回路へ入力する試験信号と必ずしも一致しないが、入力する試験信号とこの開始時刻 t_{m1} とは同じ周期で出力され、それらの時間間隔は予め分かっているので、時刻 t_{m1} を基準とする被測定回路の遅延時間を測定することによって、正確な遅延時間を求めることができる。

【0045】また前述のストロブ信号STBの試験サイクル毎、すなわちレートTAC毎の出力タイミングは、図5で示されるように最初のレートTACにおいては最小遅延時間 t_s に対応する時刻 T_{s1} および最大遅延時間 t_e に対応する時刻 T_{e1} である。ここで、前述のストロブ信号のレートTAC毎のタイミングの遅れ時間は Δt であるので、次の試験サイクルでのレートTACにおけるストロブ信号STBSの出力タイミングは、時刻 T_{s1} より時間 Δt 遅れて、時刻 T_{s2} になり、ストロブ信号STBEの出力タイミングは、時刻 T_{e1} より時間 Δt 早くなり、時刻 T_{e2} になる。以上のような処理を繰返し、順次各試験サイクルのレートTAC毎にストロブ信号STBを出力する。

【0046】AC特性試験を行う場合、被試験回路の電源電圧を予め定められた電源電圧に設定し、最初のレートTACにおいてストロブ信号STBSを時刻 T_{s1} で出力し、そのときの出力信号CHの値が、期待値「1」と一致するか否かの判断を行う。このときは、図5で示されるように期待値信号EVの値と一致しないので、不一致信号FAILSの値を「0」にして出力する。次にストロブ信号STBEを時刻 T_{e1} で出力し、そのときの出力信号CHの値が、期待値EVの値「1」と一致するか否かの判断を行う。このとき期待値信号EVの値と一致するので、不一致信号FAILEの値を「0」にして出力する。

【0047】以上のような処理を、各レートTAC毎にストロブ信号STBSを時刻 T_{s2} 、 T_{s3} 、 T_{s4} 、…に順次出力し、出力信号CHの値と期待値信号EVの値とが一致するまで繰返す。またストロブ信号STBEを時刻 T_{e2} 、 T_{e3} 、 T_{e4} …に順次出力し、出力信号CHの値が期待値信号EVの値とが一致しなくなるまで繰返す。この処理の中で、ストロブ信号STBEが、時刻 T_{e7} において出力されたとき、出力信号

11

CHの値は、初めてしきい値VOH以上からしきい値VOL以下に遷移し、期待値信号EVの値「1」と一致しない。このとき、不一致信号FAILEの値「1」となり、不一致信号FAILが「1」になる。

【0048】したがって、ストロブ信号STBの出力時刻Te7から被試験回路の遅延時間TDが求まり、被試験回路に設定された電源電圧におけるAC特性が求まり、この試験は終了する。被試験回路の電源電圧の次の値を設定し、前述の処理を繰返すことによって、電源電圧をパラメータとするAC特性を求めることができる。*10

$$\text{最大遅延時間 } t_e = \text{最小遅延時間 } t_s + \Delta t \times n \quad \dots (1)$$

Δt : 各レート毎の変化時間

n : 正の整数

また、ストロブ信号STBSまたはストロブ信号STBEのいずれかの信号が出力された場合、フェイル信号FAILが検出されたとき、以降の試験を省略する方法ではより短時間で出力信号CHの遷移点（出力信号の値がしきい値VOHまたはしきい値VOLに変化する）を求めることができる利点がある。しかし、レートTAC時間内における出力信号の遷移が2回以上ある場合は、誤った結果を出す場合がある。そのような可能性のある場合には、ストロブ信号STBSとストロブ信号STBEの出力タイミングとが一致するまで測定すればよいので、その場合においても、かかる試験時間は従来の半分になる。

【0051】

【発明の効果】以上のように本発明によれば、第1ストロブ発生手段および第2ストロブ発生手段は、パターン信号に基づいて、最大遅延時間、最小遅延時間、および単位時間を設定し、各試験サイクル毎に1回ずつ最大遅延時間から単位時間ずつ早い時刻および最小遅延時間から単位時間ずつ遅い時刻にそれぞれストロブ信号を発生する。したがって、比較手段によって測定される半導体集積回路の出力信号と期待値とをそのストロブ信号に同期して各試験サイクル毎に2回ずつ比較することによって、その半導体集積回路の遅延時間を短時間で検出することができ、そのAC特性を求めることができる。

【0052】これによって、半導体集積回路のAC特性試験を短時間で行うことができる半導体集積回路の試験装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体集積回路の試験装置の電氣的構成を示すブロック図である。

【図2】図1で示される比較回路57のより詳細な電気

12

*【0049】以上のようにして、レートTAC毎に、最小遅延時間 t_s および最大遅延時間 t_e から時間 Δt ずつ変化させて2つのストロブ信号STBS、STBEを出力することによって非常に短い時間でAC特性を測定することができる。最も条件の悪い場合でも、従来の半分の時間でAC特性を測定することができる。このとき、ストロブ信号STBSとストロブ信号STBEの間には、最後の出力タイミングにおいて一致するように次式の関係をもたせている。

【0050】

的構成を示すブロック図である。

【図3】図2で示される本発明の比較判定回路62の電気回路図である。

【図4】図2で示されるタイミング発生回路51のより詳細な電気ブロック図を示す。

【図5】図1～図4で示される本発明の半導体集積回路の試験装置を用いて、被測定回路の遅延時間を求めるAC特性試験を行った場合のタイムチャートである。

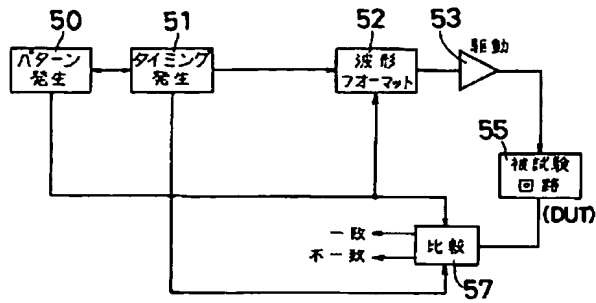
【図6】従来の比較判定回路62の電気回路図である。

【図7】前述の半導体集積回路の試験装置を用いて、被測定回路のAC特性を測定した結果を表すグラフである。

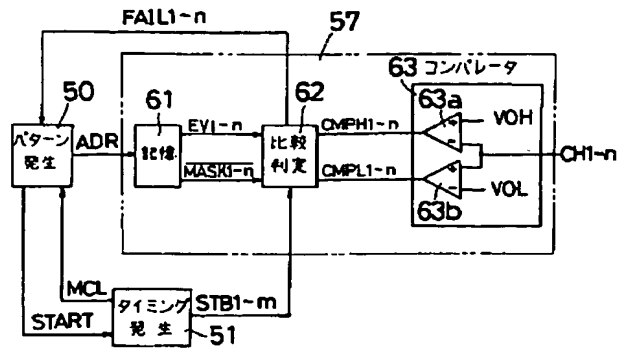
【符号の説明】

- 50 パターン発生器
- 51 タイミング発生器
- 52 波形フォーマット回路
- 53 駆動回路
- 55 被試験回路
- 57 比較回路
- 61 記憶回路
- 62 比較判定回路
- 63 コンパレータ
- 81 レートタイミング発生回路
- 82 ストロブS記憶回路
- 83 ストロブE記憶回路
- 85, 102 加算器
- 86 ストロブS出力回路
- 88 減算器
- 89 ストロブE出力回路
- 91, 92 ストロブ可変遅延回路
- 100 Aレジスタ
- 101 Bレジスタ
- 105 コントローラ

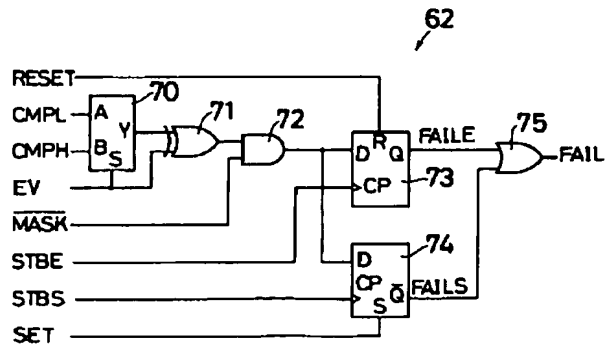
【図1】



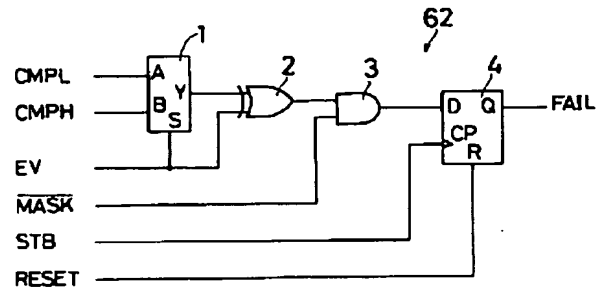
【図2】



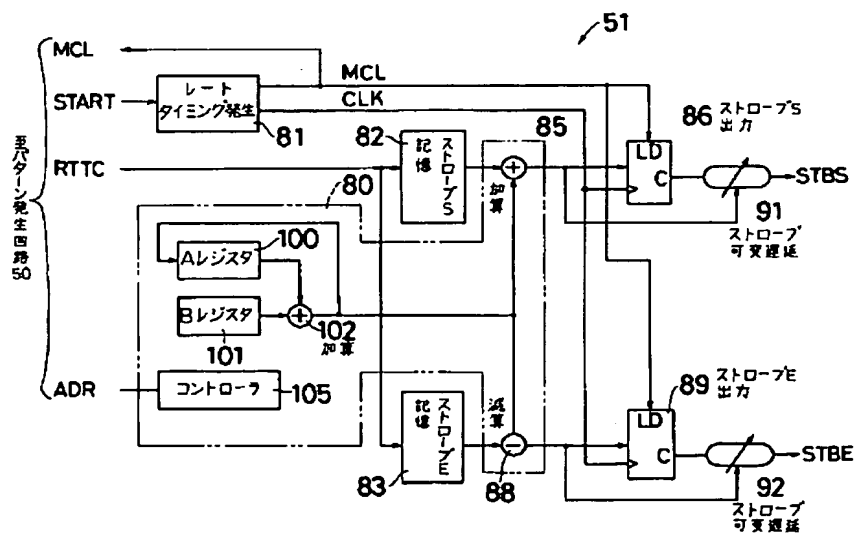
【図3】



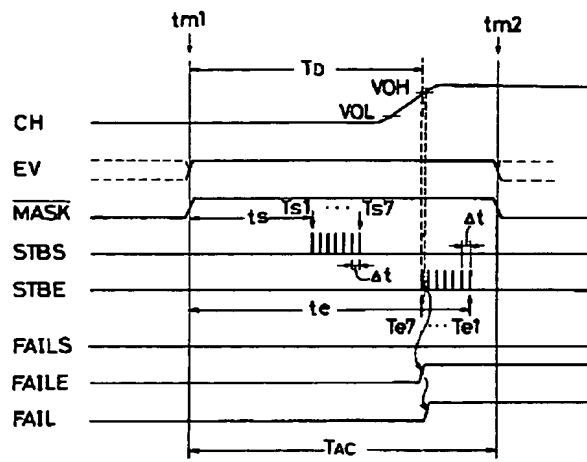
【図6】



【図4】



【図5】



【図7】

